

PAT-NO: JP404091422A
DOCUMENT-IDENTIFIER: JP 04091422 A
TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: March 24, 1992

INVENTOR-INFORMATION:

NAME COUNTRY
FURUTA, ISAO

ASSIGNEE-INFORMATION:

NAME COUNTRY
MITSUBISHI ELECTRIC CORP N/A

APPL-NO: JP02206261

APPL-DATE: August 1, 1990

INT-CL (IPC): H01L021/02 , H01L021/3205 , H01L023/60 , H01L027/092

US-CL-CURRENT: 174/126.3 , 438/464

ABSTRACT:

PURPOSE: To prevent an electrostatic breakdown in the central part of a wafer and to obtain a semiconductor device which is provided with measures to prevent the electrostatic breakdown irrespective of the diameter of the wafer by a method wherein conductive wiring are arranged on respective dicing lines of a wafer chip and an electrified electric charge generated during the production process of the semiconductor device is made to escape via the conductive wiring.

CONSTITUTION: Conductive wiring 8 are arranged on respective dicing lines of a wafer chip; and an electrified electric charge generated during the production process of a semiconductor device is made to escape via the conductive wiring 8. For example, conductive wiring 8 which is arranged on dicing lines is arranged in a grid shape on a wafer; polysilicon of the same material as that of the wafer or a polycide is left around the circumference of the wafer so as to be grounded to an apparatus satisfactorily. Thereby, the electrification on the wafer is not distributed unevenly around the center, a leakage path (leakage resistance) is reduced, the electrification is hardly to caused and this method is effective as measures to prevent an electrostatic breakdown at an ion implantation operation or the like. Since an electrification amount is not dependent on the diameter of the wafer, this method is effective especially for large-diameter wafers.

COPYRIGHT: (C)1992, JPO&Japio

⑫ 公開特許公報(A) 平4-91422

⑬ Int. Cl.³H 01 L 21/02
21/3205
23/60
27/092

識別記号

Z

庁内整理番号

8518-4M

⑭ 公開 平成4年(1992)3月24日

6810-4M H 01 L 21/88

6810-4M

6918-4M

7735-4M

23/56

27/08

3 2 1

B

S

B

Z

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平2-206261

⑰ 出 願 平2(1990)8月1日

⑱ 発 明 者 古 田 勲 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹
製作所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

ウエハチップのそれぞれのダイシングライン上に、導電性の配線を配置し、この導電性の配線を介して半導体装置の製造工程中に発生する帯電電荷を逃がすことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、半導体装置の製造工程における静電破壊を防止した半導体装置の製造方法に関するものである。

〔従来の技術〕

MOS型半導体集積回路の製造方法において、ソース・ドレインの形成およびポリシリコン配線等に高濃度イオン注入を行うが、スループットの関係で、大電流のイオンビームを用いる。その際、ウエハが帯電し、その帯電によってMOSトラン

ジスタないしはMOSキャパシタが破壊されるという問題が発生し、製造上大きな損失となっている。また、完全に破壊されないデバイスは、各種のスクリーニングをパスするため、信頼性上でも大きな問題となっている。

その対策として、イオンビームを拡大し、電流密度を小さくする等イオン注入装置の改良がなされているが、完全な解決策となっていない。また、半導体装置についても、レジストの被覆の仕方および回路パターンの工夫等により対策がなされているが、万全の対策とはいえない。

特に近年、半導体集積回路はCMOS化され、ウエハの大口径化に伴い、ますますイオン注入による静電破壊が顕著になってきた。

以下、CMOS-ICを用いて従来技術を説明する。

第5図(a)～(d)はCMOS-ICのソース・ドレイン形成を例示したものである。第5図において、1はシリコン基板、2はこのシリコン基板1とは反対の導電型を持つウエル領域、3

は分離酸化膜、4はゲート酸化膜、5はポリシリコンまたはポリサイドで形成されたゲート電極、5'はMOSキャパシタを形成する電極、6はダイレングラインである。

第5図(a)はシリコン基板1中にウェル領域2を形成し、次に、分離酸化膜3を形成し、続いてゲート酸化膜4を形成した後、ポリシリコンをCVD法により堆積し、ゲート電極5をパターンニングした状態を示す図である。

第5図(b)はウェル領域2をレジスト7で被覆した後、シリコン基板1とは反対の導電型を持つ不純物をソース・ドレインを形成するための高濃度($\sim 10^{18}/\text{cm}^3$ 以上)イオン注入工程を示す図である。このイオン注入時に、イオンの電荷は大部分チップ表面から流れ去るが、一部分、チップ上に堆積するものがある。この第1図(b)の場合には特にレジスト7上に帯電しやすい。この堆積した電荷がMOSトランジスタやMOSキャパシタの破壊を引き起こすのである。

第5図(c)は、第5図(b)とは反対導電型

を持つトランジスタのソース・ドレイン形成のためのイオン注入工程を示す図で、ウェル領域2とは反対の導電型をもつ高濃度イオン注入するものである。

この時も第5図(b)と同様な理由により、静電破壊が発生する。この種の静電破壊はウェハのマップをとると、第6図のようにウェハの中心部で発生しやすく(X印のチップ)、また、第5図(d)のようにダイレングライン6上をレジスト7で被覆すると、一層静電破壊が発生しやすい。また、この静電破壊は、経験的にウェハの径を大きくすると、なお一層発生しやすいこともわかっている。

第7図はウェハ上の電荷の逃げる様子を示した模式図である。チップ上に発生した電荷(⊕で示す)は、チップ表面の大部分が酸化膜等の絶縁膜で被覆されているため、表面電流となって流れる。このためウェハ中心部ではリークパスが長くなるため、電荷が逃げにくく、帯電しやすい。

〔発明が解決しようとする課題〕

(3)

このように、従来の半導体装置の製造方法は、イオン注入に伴いウェハが帯電し、MOSトランジスタやMOSキャパシタが破壊されるという問題点があった。

この発明は、上記のような問題点を解消するためになされたもので、ウェハ中心部の電荷を容易に逃がすようにし、ウェハ中心部の静電破壊を防止するとともに、ウェハ径にも依存しない静電破壊防止対策を施した半導体装置を提供することを目的とするものである。

〔課題を解決するための手段〕

この発明に係る半導体装置は、ウェハチップのそれぞれのダイレングライン上に、導電性の配線を配置し、この導電性の配線を介して半導体装置の製造工程中に発生する帯電電荷を逃がすものである。

〔作用〕

この発明においては、すべてのチップのダイレングライン上に導電性の配線を施したことにより、角チップ毎に帯電電荷が互いに孤立化し、かつ速

(4)

やかに除去される。

〔実施例〕

以下、この発明の一実施例を図面に基づきCMOS-ICを例にして説明する。

第1図(a)～(c)はこの発明の一実施例を示すCMOS-ICの工程断面図で、1はシリコン基板、2はこのシリコン基板1とは反対の導電型を持つウェル領域、3は分離酸化膜、4はゲート酸化膜、5はポリシリコンまたはポリサイドで形成されるゲート電極、5'はMOSキャパシタを形成する電極、6はダイレングライン、7はレジスト、8は導電性の配線である。

第1図(a)はシリコン基板1中にウェル領域2を形成し、次に、分離酸化膜3を形成し、続いてゲート酸化膜4を形成した後、ポリシリコンをCVD法により堆積し、低抵抗化のため、ポリシリコンにリン拡散するか、高融点シリサイドをスパッタリング等により堆積し、ゲート電極5および導電性の配線8をパターンニングした状態を示す図である。ここで重要なことは、ダイレングライ

(5)

(6)

ン6上に低抵抗化されたポリシリコンの導電性の配線8を配置していることである。

第1図(b)はウェル領域2をレジスト7で被覆した後、シリコン基板1とは反対の導電型を持つ不純物をトランジスタのソース・ドレイン形成のために高濃度イオン注入した状態を示す図である。このイオン注入時にイオンの電荷の大部分は、チップ表面からダイシングライン6に流れ込む。ところが、導電性の配線8がダイシングライン6に配置されているため、この導電性の配線8を通じてすみやかに流れ去り、引き続いて残りの電荷の大部分の電荷が流れ去ったことによりダイシングライン6へ流れ、同様に導電性の配線8を通じて流れ去る。このようにしてチップ上の帯電が防止される。

第1図(c)は、第1図(b)とは反対の導電型を持つトランジスタのソース・ドレイン形成工程で、ウェル領域2とは反対の導電型を持つ不純物を高濃度イオン注入する状態を示す図である。この場合も第1図(b)と同様に動作する。この

様子を模式的に図示したのが第2図である。この図では、ダイシングライン6上に配置された導電性の配線8がウェハ上に格子状に配置され、ウェハの周囲には装置との接地をよくするため、同じ材料のポリシリコンまたはポリサイドを残してある。

このように、チップのダイシングライン6を利用し、導電性の配線8を格子状に配置することにより、イオン注入時に発生する電荷を一層すみやかに流し去ることができる。

なお、上記第2図の例は導電性の配線8を格子状に配置したが、第3図のように亀の子状に配置してもよいし、導電性の配線8は、第3図のA-A線の断面図に相当する第4図のようにチップの一部に乗り上げていても良い。

また、上記ではイオン注入時の静電破壊について述べたが、プラズマアッシング、プラズマドライエッチング等のプロセス中の帯電に対しても極めて有効である。

〔発明の効果〕

(7)

以上説明したように、この発明は、ウェハチップのそれぞれのダイシングライン上に、導電性の配線を配置し、この導電性の配線を介して半導体装置の製造工程中に発生する帯電電荷を逃がすようにしたので、ウェハ上の帯電は中心周辺に偏りがなくなり、かつリークパス（リーク抵抗）も非常に小さくなり、帯電しにくく、イオン注入時等の静電破壊防止対策としてきわめて有効である。したがって、帯電量がウェハの径に依存しなくなることから、大口径化に対し極めて有効である。

4. 図面の簡単な説明

第1図はこの発明の一実施例を示すCMOS-ICの工程断面図、第2図はこの発明による導電性の配線を配置したウェハの模式図、第3図は導電性の配線の他の例を示す平面図、第4図は、第3図のA-A線による断面図、第5図は従来のCMOS-ICの工程断面図、第6図はウェハ上の帯電状況を示す平面図、第7図はウェハ上に帯電した電荷の流れ状況を説明するための図である。

図において、1はシリコン基板、2はウェル領

(8)

域、3は分離酸化膜、4はゲート酸化膜、5はゲート電極、5'はキャパシタ電極、6はダイシングライン、7はレジスト、8はダイシングライン上に配置された導電性の配線である。

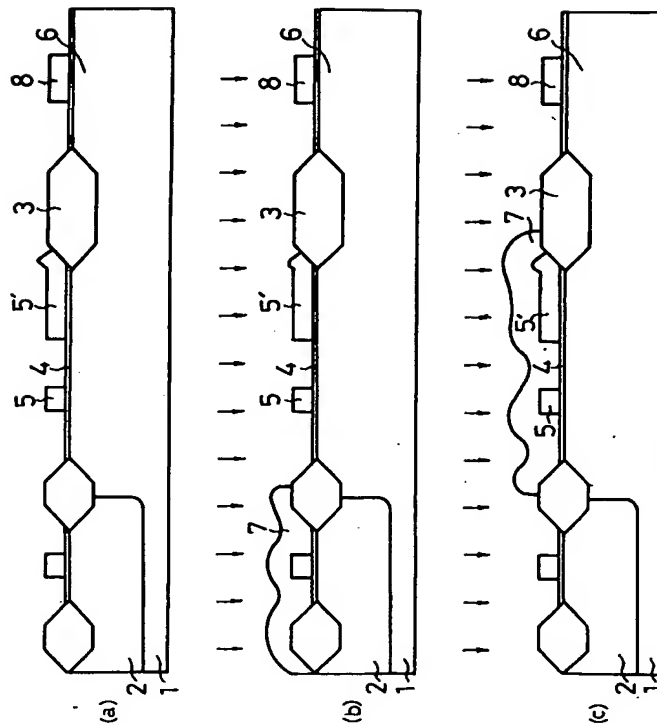
なお、各図中の同一符号は同一または相当部分を示す。

代理人 大 岩 増 雄 (外2名)

(9)

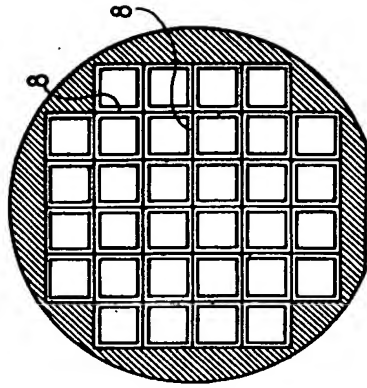
(10)

第 1 図

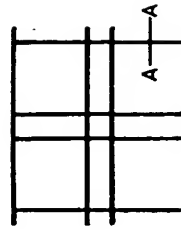


- 1:シリコン基板
2:ワエル領域
3:分酸酸化膜
4:ゲート酸化膜
5:ゲート電極
5':キャパシタ電極
6:ダイセンライン
7:レジスト
8:導電柱の配線

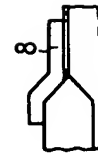
第 2 図



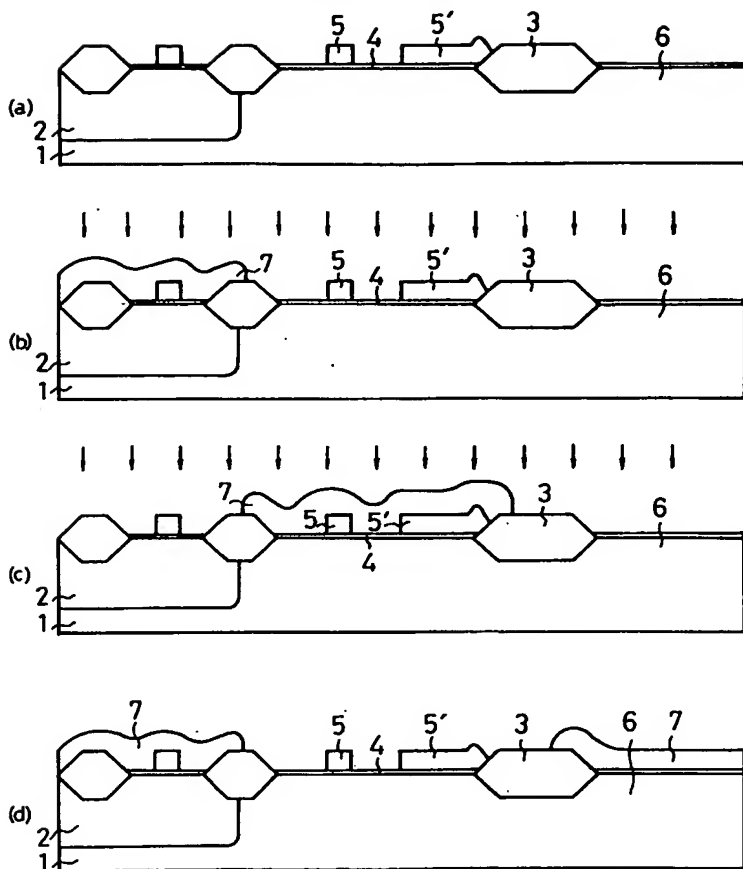
第 3 図



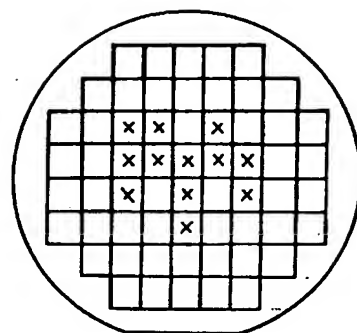
第 4 図



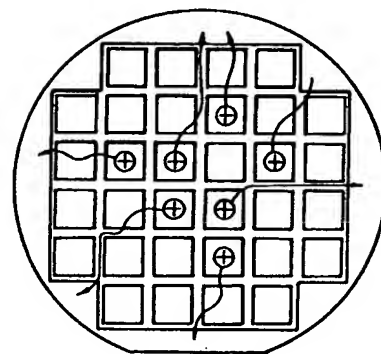
第 5 図



第 6 図



第 7 図



手 続 補 正 書 (自発)



平成 3 年 7 月 9 日

特許庁長官殿

1. 事件の表示 平 特願昭 2-206261号

2. 発明の名称 半導体装置の製造方法

3. 補正をする者

事件との関係 特許出願人
住 所 東京都千代田区丸の内二丁目2番3号
名 称 (601)三菱電機株式会社
代表者 志 岐 守 哉

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内
氏 名 (7375)弁理士 大 岩 増 雄
(連絡先03(213)3421特許部)



5. 補正の対象

明細書の発明の詳細な説明の欄

6. 補正の内容

明細書の第5頁20行の「角チップ」を、「各チップ」と補正する。

以 上



(1)

方 式 登 録



(2)